

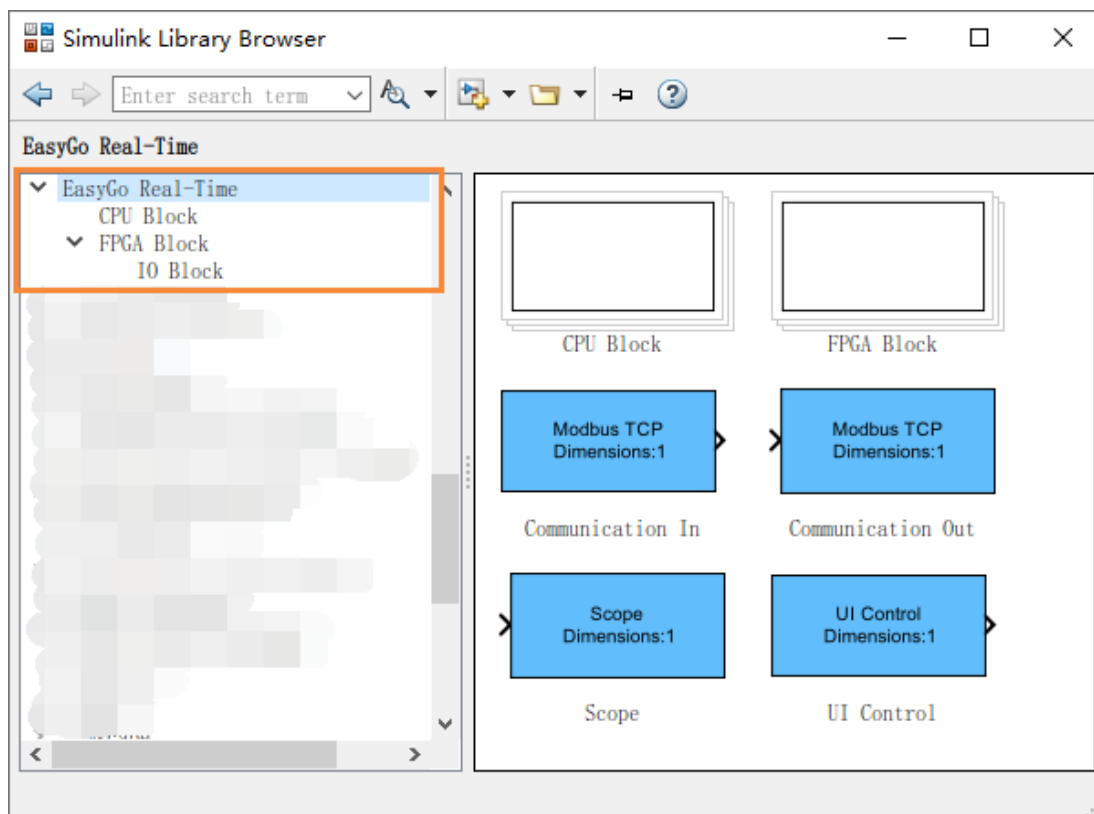
EasyGo RealTime Block

目 录

EasyGo RealTime.....	3
顶层通用模块	4
Scope	4
UI Control	5
Communication In/Out	6
CPU 模块.....	8
Ratio Trans.....	8
FPGA 模块.....	9
FPGA 配置模块	9
IO 配置模块	11
Analog input	11
Analog output.....	12
Digital input	12
Digital output	13
Encoder in	13
Phaseleg	14
FPGA Inport	15
FPGA Outport	16

EasyGo RealTime

在安装完EasyGo DeskSim后,在Simulink的Library库中会安装得到一个EasyGo Real-Time的Library。



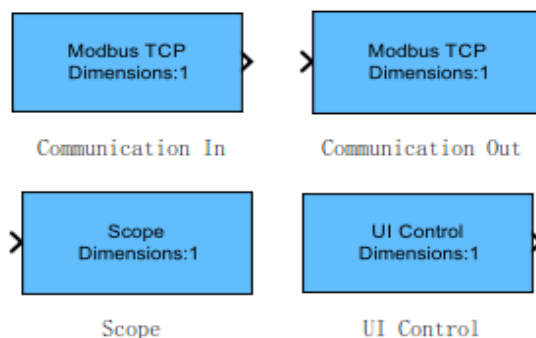
其中主要分为三个模块：

- 顶层通用模块
- CPU 模块
- FPGA 模块

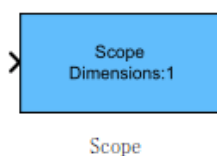
注：Simulink是MathWorks旗下的产品。

顶层通用模块

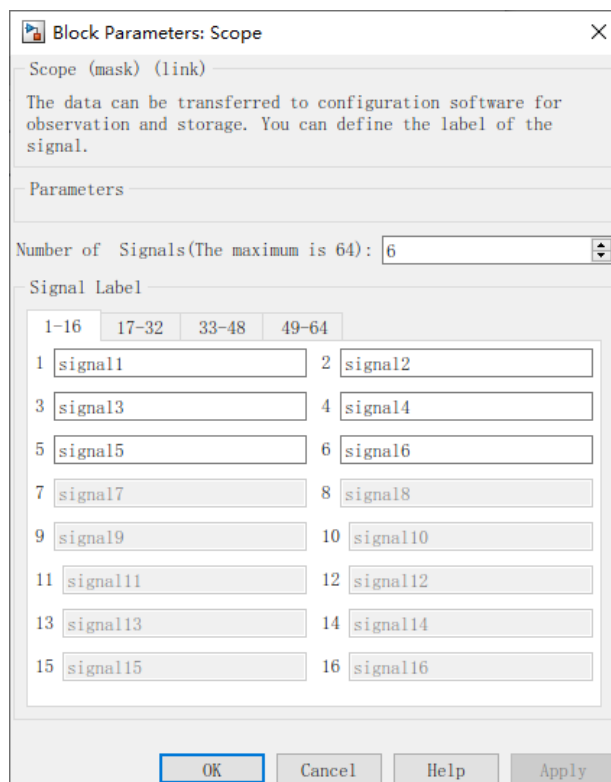
顶层通用模块是用于上位机系统或外围通讯设备与 CPU 之间进行数据交互的通道。



Scope



用于顶层模块，将 CPU 里面的数据传到上位机界面上，用于实时数据显示。



The screenshot shows the 'Block Parameters: Scope' dialog box. It contains the following sections:

- Scope (mask) (link):** A text area with the message: 'The data can be transferred to configuration software for observation and storage. You can define the label of the signal.'
- Parameters:** A section with a dropdown menu for 'Number of Signals(The maximum is 64):' set to '6'.
- Signal Label:** A table with 16 columns and 16 rows, each containing a signal label (e.g., signal1, signal2, ..., signal16).

At the bottom of the dialog box are buttons for 'OK', 'Cancel', 'Help', and 'Apply'.

参数注释:

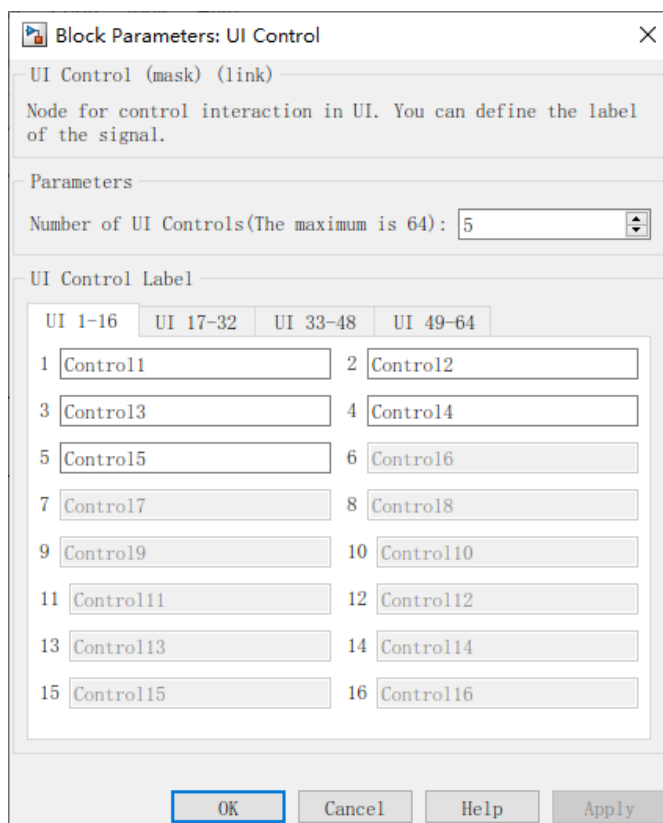
Number of Signals(≤ 64)	信号数量（最大支持64个信号）
Signal Label	信号标签

UI Control



UI Control

用于顶层模块，可以将上位机上的信号传输至 CPU，用于实时控制指令下发。



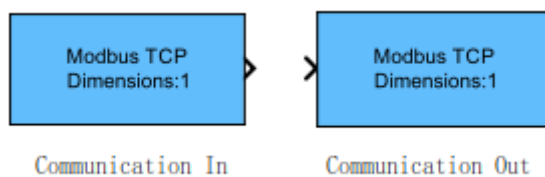
The dialog box titled "Block Parameters: UI Control" contains the following fields and controls:

- UI Control (mask) (link)**: A text area with the description: "Node for control interaction in UI. You can define the label of the signal."
- Parameters**: A section containing a numeric input field for "Number of UI Controls(The maximum is 64):" with the value "5" and a spin button.
- UI Control Label**: A section with four tabs: "UI 1-16", "UI 17-32", "UI 33-48", and "UI 49-64". The "UI 1-16" tab is active, showing a grid of 16 text input fields labeled "Control1" through "Control16".
- Buttons**: "OK", "Cancel", "Help", and "Apply" buttons at the bottom.

参数注释:

Number of UI Controls(≤ 64)	界面控件数量（最大支持64个信号）
UI Control Label	界面控件标签

Communication In/Out



用于顶层模块，用于对工业通讯相关的输入输出的信号配置。

Block Parameters: Communication In

Communication In (mask) (link)

Input interface of communication interaction. You can define the label of the signal.

Parameters

Protocol type: Modbus TCP

Port Index: Port1

Number of Signals(≤64): 3

Signal Label

1-16	17-32	33-48	49-64
1 signal1	2 signal2		
3 signal3	4 signal4		
5 signal5	6 signal6		
7 signal7	8 signal8		
9 signal9	10 signal10		
11 signal11	12 signal12		
13 signal13	14 signal14		
15 signal15	16 signal16		

OK Cancel Help Apply

Block Parameters: Communication Out

Communication Out (mask) (link)

Output interface of communication interaction. You can define the label of the signal.

Parameters

Protocol type: Modbus TCP

Port Index: Port1

Number of Signals(≤64): 2

Signal Label

1-16	17-32	33-48	49-64
1 signal1	2 signal2		
3 signal3	4 signal4		
5 signal5	6 signal6		
7 signal7	8 signal8		
9 signal9	10 signal10		
11 signal11	12 signal12		
13 signal13	14 signal14		
15 signal15	16 signal16		

OK Cancel Help Apply

参数注释：

Protocol type	通讯类型
Port Index	端口序号
Number of Signals(≤64)	信号数量（最大支持64个信号）
Signal Label	信号标签

注意：

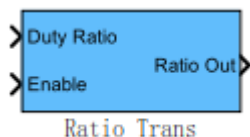
Port Index 只是标识当前用户所使用的 Communication In 和 Communication Out 是否为同一个端口上的 In/Out 通道，不指代实际的硬件端口，实际硬件端口的指定需要在 DeskSim 软件界面中的**网络通讯协议设置**界面进行单独配置。

※ 当用户使用的 Communication In 模块与使用的 Communication Out 模块的 Port Index 一致，说明这两个模块都是都同一个通讯端口的写入和读取的配置，此时这两个模块的 Protocol Type 必须也是一致的，否则会提示模型配置冲突。

※ 当用户使用的 Communication In 模块与使用的 Communication Out 模块的 Port Index 不一致，说明这两个模块是给不同通讯端口的写入和读取进行分别配置的，此时这两个模块的 Protocol Type 互不关联。

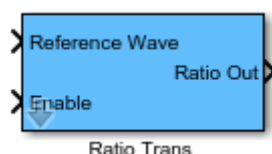
CPU 模块

CPU 模块主要用于 CPU 子系统中模型搭建，包括以下模块：

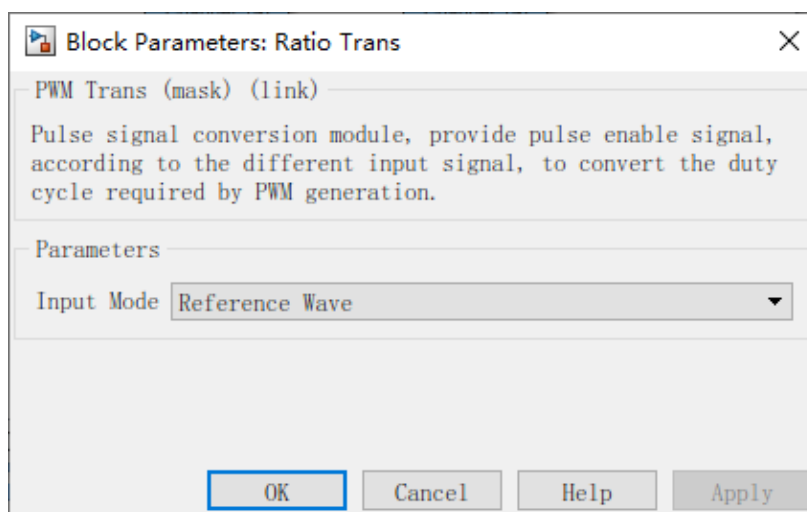


Ratio Trans

占空比转换模块，与 Phaseleg Module 一起配合使用，可以把参考波信号转换成占空比信号，并有 Enable 信号供用户控制 PWM 信号的使能。



双击打开的配置窗口如下：

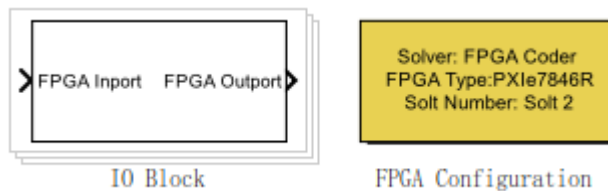


参数注释：

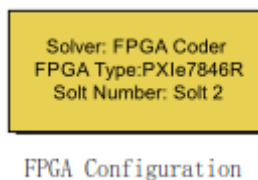
Input Mode	Reference Wave	参考波输入
	Duty Ratio	占空比输入

FPGA 模块

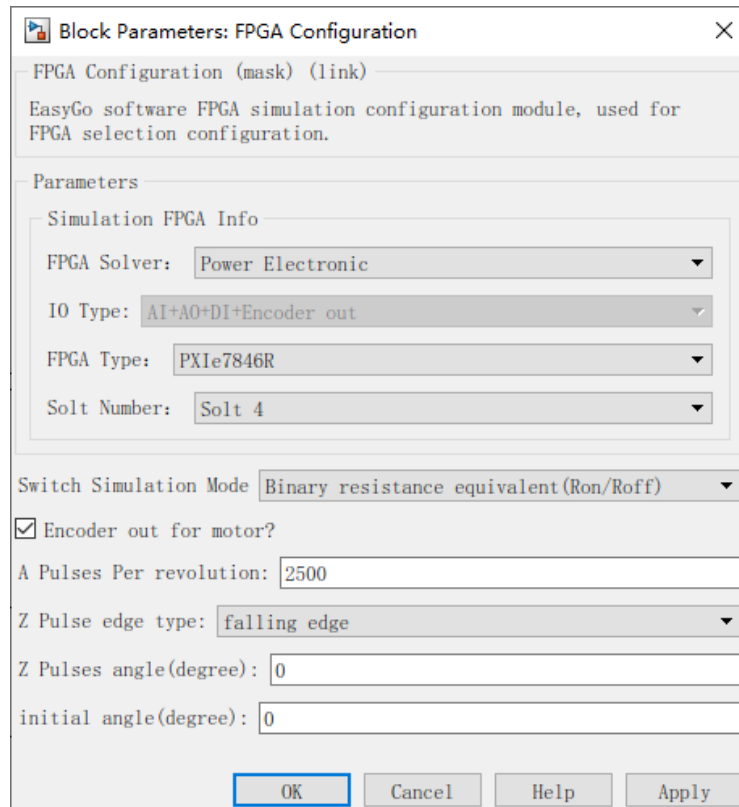
FPGA模块主要用于FPGA子系统模型搭建，包含以下模块：



FPGA 配置模块



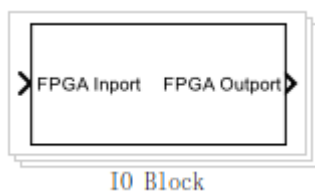
EasyGo FPGA Configuration 模块是用于配置仿真机的硬件信息的，其双击打开配置窗口如下：



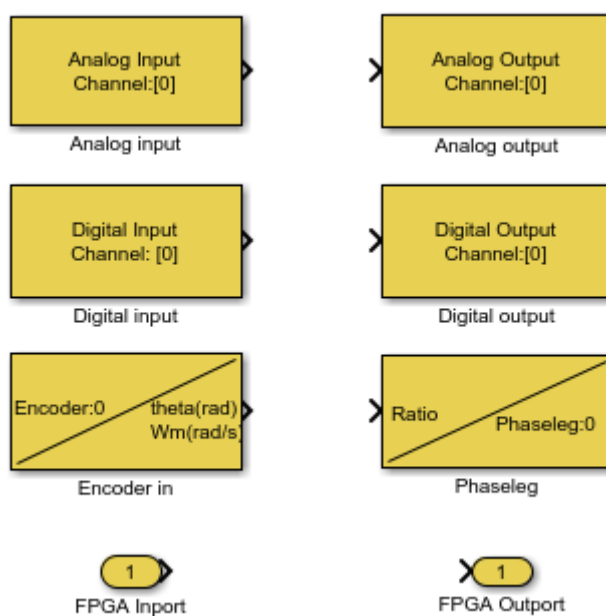
参数注释：

FPGA Solver	FPGA 解算器类型 • No Solver • FPGA Coder • Power Electronic
IO Type	仅用于显示当前 IO 的组合类型
FPGA Type	FPGA 硬件类型
Slot Number	硬件板卡在仿真机的卡槽位置
Switch Simulation Mode	开关的建模方式 • Lon/Coff: 在开关导通的时候，仿真成小电感 Lon，开关断开的时候仿真成小电容 Coff。 • Ron&Snubber: 在开关导通的时候，仿真成 Ron 并联 RsCs，开关断开的时候仿真成 RsCs。
Encoder out for motor?	是否启用电机编码器输出
A Pulses per Revolution	电机旋转一圈产生的 A 脉冲个数
Z Pulse edge type	Z 脉冲的边缘类型 • falling edge: 下降沿 • rising edge: 上升沿
Z Pulses angle(degree)	编码器产生 Z 脉冲时电机转子所在的角度位置
initial angle(degree)	初始角度

IO 配置模块



IO 配置模块



Analog input

配置界面如下：


Block Parameters: Analog input

×

Analog input (mask) (link)

Analog input channel on FPGA

Parameters

AI Channel Number (0, 1, ..., n) :

[0]

Channel Gain:

[1]

Channel Offset :

[0]

OK

Cancel

Help

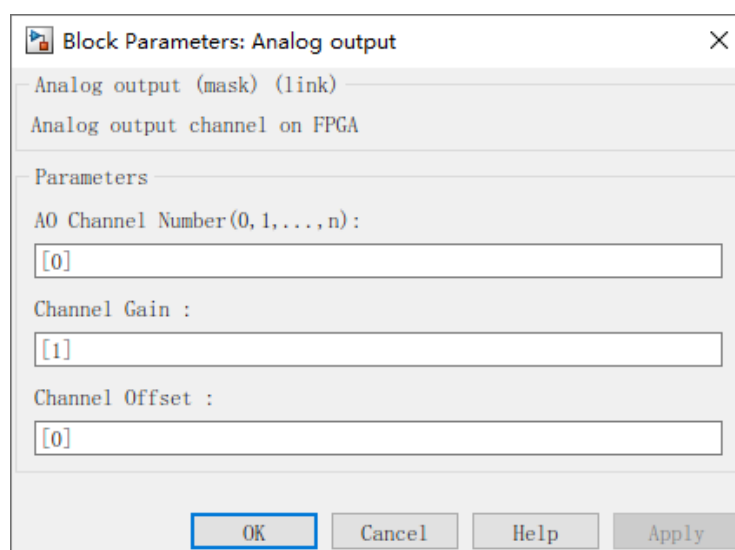
Apply

参数注释：

AI Channel Number	AI的通道序号
Channel Gain	信号增益值
Channel Offset	信号偏置值

Analog output

配置界面如下：

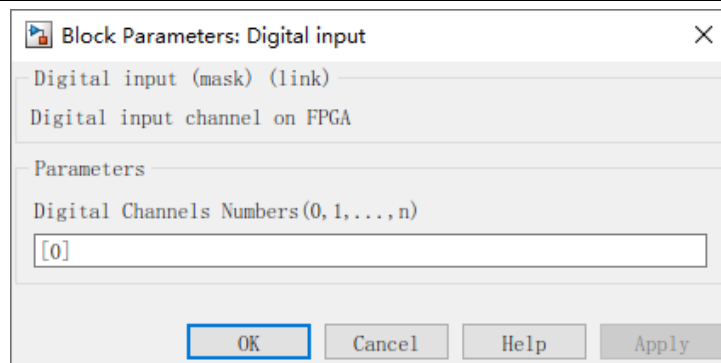


参数注释：

AO Channel Number	AO的通道序号
Channel Gain	信号增益值
Channel Offset	信号偏置值

Digital input

配置界面如下：

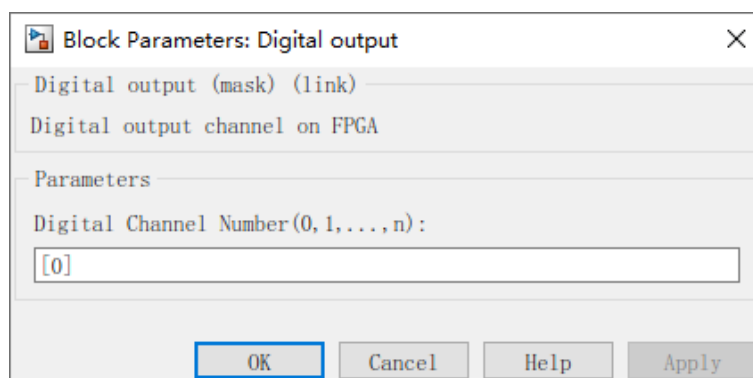


参数注释:

Digital Channel Number	DI的通道序号
------------------------	---------

Digital output

配置界面如下:

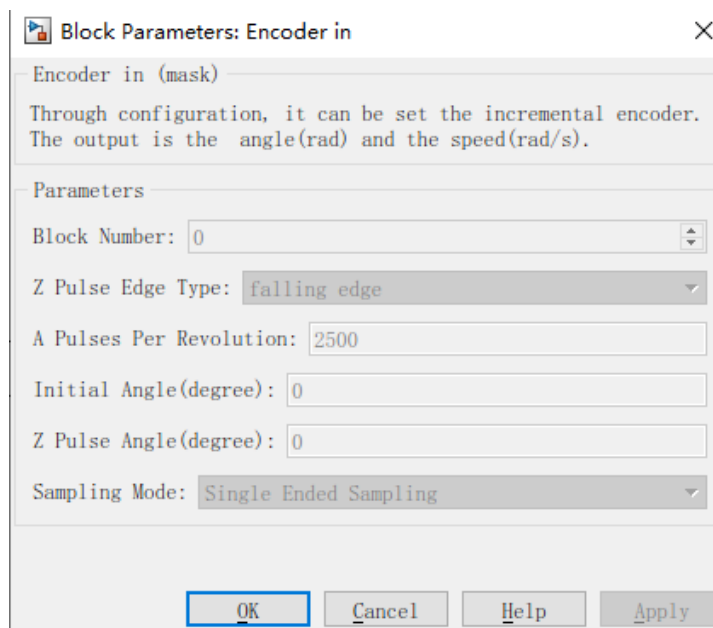


参数注释:

Digital Channel Number	DI的通道序号
------------------------	---------

Encoder in

配置界面如下:



参数注释:

Block Number	模块序号
Z Pulse Edge Type	Z脉冲的边缘类型 • falling edge: 下降沿 • rising edge: 上升沿
A Pulses per Revolution	电机旋转一圈产生的A脉冲个数
Initial Angle(degree)	初始角度
Z Pulse Angle(degree)	编码器产生Z脉冲时电机转子所在的角度位置
Sampling Mode	编码器信号采样的类型 • Single Ended Sampling: 单端采样 • Differential Sampling: 差分采样

Phaseleg

配置界面如下:


Block Parameters: Phaseleg
✕


Phaseleg Module (mask) (link)

This module is used to generate a PWM wave on the bridge arm. The pulse signal of the upper and lower bridge arms is the opposite.

Parameters

PhaseLeg Number

0

↑ ↓

Carrier Type

Constant

▼

Carrier Frequency(Hz)

10000

Carrier Initial Phase(degree)

0

Dead time(us)

1

OK

Cancel

Help

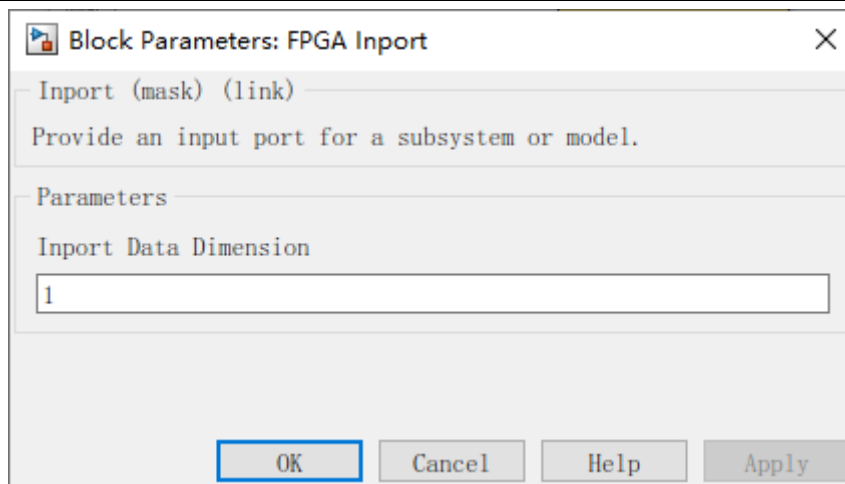
Apply

参数注释：

PhaseLeg Number	模块序号
Carrier Type	载波类型 - Constant: 固定载波，载波频率和相位由设定值确定 - Dynamic: 动态变化载波，载波频率与相位随输入接口值得变化而实时变化
Carrier Frequency(Hz)	载波频率
Carrier Initial Phase(degree)	载波初始相位
Dead time(us)	死区时间

FPGA Inport

配置界面如下：



Block Parameters: FPGA Inport

Import (mask) (link)

Provide an input port for a subsystem or model.

Parameters

Import Data Dimension

1

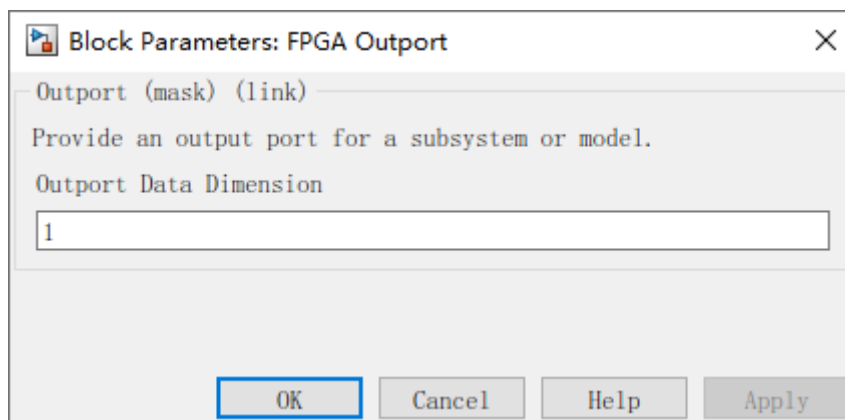
OK Cancel Help Apply

参数注释:

Import Data Dimension	输入端口的数据维数
-----------------------	-----------

FPGA Output

配置界面如下:



Block Parameters: FPGA Output

Output (mask) (link)

Provide an output port for a subsystem or model.

Output Data Dimension

1

OK Cancel Help Apply

参数注释:

Output Data Dimension	输出端口的数据维数
-----------------------	-----------